4.1 Ошибки

Программа Quartus II показывает сообщения, получаемые в процессе компиляции, в окне Сообщения. Если файл проекта Verilog корректный, то одним из сообщений будет: Компиляция успешна, ошибок нет.

Если число ошибок в отчете компилятора не равно нулю, то в коде Verilog содержится не менее одной ошибки. В этом случае, сообщение имеет ссылку на каждую найденную ошибку, показанную в окне сообщений. Двойной клик на сообщение об ошибке, и вы выделяете сроку с ошибкой в коде Verilog в окне текстового редактора. Таким же образом, компилятор выводит сообщение с предупреждениями. Их детали можно просмотреть так же, как и в сообщениях об ошибках. Пользователь может получить более подробную информацию о сообщениях об ошибках или предупреждениях, выделив строку с сообщением, и нажав F1.

1. Чтобы увидеть проявление ошибке, откройте файл *addersubtractor.v.* В строке 21 есть оператор:

assign $H = Breg \land \{n\{AddSubR\}\};$

Удалите точку с запятой из этого оператора, потому что проще всего продемонстрировать синтаксическую ошибку. Скомпилируйте испорченный файл. Программа Quartus II во всплывающем окне укажет, что компиляция не успешна. Нажмите **ОК**. Краткий отчёт компилятора представлен на рисунке 25, в нём отображен результат ошибки.

Compliation Report	low Summary		
In toyoff Notice 1 In Synthesis In Synthesis In Synthesis In Synthesis In Synthesis Analysis 6 Syntheses	Row Salawa Datas II Version Rovision Hane Topkevel Erkly Name Fanky Device Tring Model Tring Model Tring Model Tring Model Met Innig setements Locabetward AUTs Memoy AUTs Deckerd AUTS Dec	Row Fabel - Fri Sep 12 11 12 03 2008 81 Internet Badi 14 30/93 2008 TO Fri Version addrenuthancher Stahe III EPOSEDFAIL2 Prefersor NA val Parkiss Mega NA val Parkiss Mega	

Figure 25: Compilation report for the failed design.

2. Кликните Анализ и Синтез > Сообщения, чтобы отобразить сообщения как на рисунке 26.

Type	Message		
U)	Info: ATTACATATATATATATATATATATATATATATATATAT		
e i)	Info: Running Quartus II Analysis & Synthesis		
0	Info: Command: quartus_maplower_priorityread_settings_files=onwrite_settings_files=off addsubtractor -c addsubtractor		
8	Error (10170): Verilog HDL syntax error at addersubtractor.v(22) near text "mux2tol"; expecting ";", or ","		
8	Error (10112): Ignored design unit "addersubtractor" at addersubtractor.v(9) due to previous errors		
0	Error (10112): Ignored design unit "mux2tol" at addersubtractor.v(44) due to previous errors		
0	Error (10112): Ignored design unit "adderk" at addersubtractor.v(59) due to previous errors		
1	Info: Found 0 design units, including 0 entities, in source file addersubtractor.v		
0	Error: Quartus II Analysis « Synthesis was unsuccessful. 4 errors, 0 warnings		
0	Error: Quartus II Full Compilation was unsuccessful. 6 errors, 0 warnings		

Figure 26: Error messages.

3. Двойным кликом на первое сообщение о синтаксической ошибке Verilog. Программа Quartus II связывается с файлом *addersubtractor.v* и выделяет ошибку в операторе, как это показано на рисунке 27. Скорректируйте ошибку и перекомпилируйте проект.



Figure 27: Identifying the location of the error.