Библиотеки симуляции

Когда вы используете EDA симулятор, вы должны знать, какие библиотеки нужны для симуляции, если вы используете в своём проекте мегафункции Altera или IP.

Функциональная симуляция RTL

Следующие библиотеки необходимы для выполнения функциональной симуляции RTL:

- Если ваш проект не содержит передатчиков или ядра PCI Express® (PCIe®), вам потребуется AlteraBehaviorLibraries.
- Если ваш проект содержит передатчики, вам понадобятся <family>_hssi_atoms, sgate и AlteraBehaviorLibraries.
- Если ваш проект содержит аппаратное ядро PCIe, вам понадобятся <family>_pcie_hip_atoms, sgate и AlteraBehaviorLibraries, а также приведённые выше библиотеки.
- Для чипов Stratix GX вам понадобятся stratixgx_mf, sgate и AlteraBehaviorLibraries.

AlteraBehaviorLibraries связана с altera_mf, 220model и altera_primitives.

Если вы выбрали чипы Stratix V, скомпилируйте следующие файлы в директории quartus/eda/sim_lib/<vendor> :

- stratixv_atoms_ncrypt.v
- stratixv_hssi_atoms_ncrypt.v
- stratixv_pcie_hip_atoms_ncrypt.v

Эти файлы содержат IEEE зашифрованные модели Verilog. Vendor (производитель) обращается к Synopsys, Cadence Design Systems, Inc., Mentor Graphics, или Aldec,Inc.

Компилируйте stratixv_pcie_hip_atoms_ncrypt.v с опцией System Verilog.

Также скомпилируйте следующие файлы в директории quartus/eda/sim_lib:

- stratixv_atoms.v
- stratixv_atoms.vhd
- stratix_hssi_atoms.v

1.Симуляция проекта с помощью инструментов EDA

stratix_hssi_atoms.vhd

- stratixv_pcie_hip_atoms.v
- stratixv_pcie_hip_atoms.vhd
- stratixv_components.vhd
- stratix_hssi_components.vhd
- stratixv_pcie_hip_components.vhd

Файлы PCIe необходимы только, если вы используете аппаратный IP PCIe.

Для симулирования чипов Stratix V в VHDL, вам потребуется VHDL или Verilog совместимый симулятор.

За списком всех файлов функциональной симуляции RTL обратитесь к разделу помощи программы Quartus II – Библиотеки функциональной симуляции Altera.

Временная симуляция на уровне вентилей

Следующие библиотеки необходимы для выполнения временной симуляции на уровне вентилей:

- Если ваш проект не содержит передатчиков или ядра PCI Express® (PCIe®), вам потребуется *<family>_atoms*, *sgate* и AlteraBehaviorLibraries.
- Если ваш проект содержит передатчики, вам понадобятся <family>_hssi_atoms, <family>_atoms, sgate и AlteraBehaviorLibraries.
- Если ваш проект содержит аппаратное ядро PCIe, вам понадобятся <family>_pcie_hip_atoms, <family>_hssi_atoms, <family>_atoms, sgate и AlteraBehaviorLibraries, а также приведённые выше библиотеки.

За списком всех файлов библиотек временной симуляции на уровне вентилей и пост-компоновки (post-fit) в директории Quartus II, обратитесь к разделу помощи программы Quartus II – Библиотеки пост-компоновки Altera.

Файлы симуляции списков соединений

Файлы симуляции списков соединений (netlist) необходимы для выполнения пост-синтез симуляции или временной симуляции на уровне вентилей. Эти файлы симуляции списков соединений генерируются в EDA Netlist Writer.

Если вы выполняете пост-синтез симуляцию, необходимы Verilog HDL файл выхода (**.vo**) или VHDL файл выхода (**.vho**). Действия, необходимые для генерирования файлов симуляции списков соединений для файлов **.vo** или **.vho**, описаны в секции "Генерация файлов списков соединений для пост-синтез симуляции".

Если вы выполняете временную симуляцию на уровне вентилей, необходимы файлы **.vo** или **.vho** и файл выхода формата стандарта задержки (**.sdo**). Файл **.sdo** используется для аннотирования задержки на элементах, найденных в файлах **.vo** или **.vho**.

Для задания опции генерирования **.vo, .vho** и **.sdo** файлов, обратитесь к разделу помощи программы Quartus II – Задание настроек HDL выхода.

1.Симуляция проекта с помощью инструментов EDA

Генерация файлов списков соединений для пост-синтез симуляции

Для генерации файлов списков соединений для пост-синтез симуляции в программе Quartus II выполните следующие действия:

1. В меню Processing выберите **Start** и кликните **Start Analysis & Synthesis** (это можно выполнить и после п. 2).

- Сконфигурируйте EDA Netlist Writer для генерирования списка соединений функциональной симуляции. Обратитесь к разделу помощи программы Quartus II – Задание настроек HDL выхода.
- 3. В меню Processing выберите Start и кликните Start EDA Netlist Writer.

На стадии EDA Netlist Writer программа Quartus II создаёт .vo или .vho файлы, которые будут использованы в пост-синтез симуляции в EDA симуляторах. Этот файл списков соединений отображает специфику архитектуры примитивов. На этой стадии не используется информация о временных характеристиках. Финальный список соединений находится в выходной директории, заданной вами в диалоге Settings, по умолчанию, это *cproject directory*/simulation/*cEDA Simulator*/directory (*cEDA Simulator*/ может быть: modelsim, questasim, vcs, vcs mx, rivierapro, ncsim или activehdl).

Если вы хотите сгенерировать список соединений для пост-синтез симуляции, который учитывает задержки на элементах, вы можете сгенерировать **.sdo** файл, не запуская компоновщик (Fitter). В этом случае, **.sdo** файл содержит все временные характеристики, но только на элементах устройства. Задержки на внутренних соединениях не учитываются, поскольку не выполнена компоновка (fitting (placement and routing) размещение и разводка). Для генерации пост-синтез списка соединений и **.sdo** файла, введите следующую команду в командной строке:

quartus_map <project name> -c <revision name> 🕶

quartus_sta <project name> -c <revision name> --post_map +

или

quartus_tan <project name> -c <revision name> --post_map --\
zero ic delays +

quartus_eda <project name> -c <revision name> --simulation \
--tool= <3rd party EDA tool> --format=<HDL language> #

За подробной информацией об опциях -format и -tool, введите следующую команду в командной строке:

quartus_eda --help=<options> ←

Генерация файлов списков соединений для временной симуляции на уровне вентилей

Для выполнения симуляции на уровне вентилей, EDA симуляторам необходима информация о том, каким образом проект размещён в блоках специфичной архитектуры чипов. Программа Quartus II предоставляет эту информацию в виде **.vo** файла для Verilog HDL проекта и в виде **.vho** файла для VHDL проекта. Сопутствующие временные характеристики сохраняются в **.sdo** файле, в котором аннотируется задержка, найденная в **.vo** или **.vho** файлах. Для генерирования списков соединений для временной симуляции на уровне вентилей в программе Quartus II выполните следующие пункты: 1.Симуляция проекта с помощью инструментов EDA Перевод: Егоров А.В., 2010 г.

1. Сконфигурируйте EDA Netlist Writer для генерирования списка соединений для функциональной симуляции. Обратитесь к секции "Генерация файлов списков соединений для пост-синтез симуляции" на странице 1-7.

- 2. Если вы не запускали полную компиляцию перед процессом компоновки, выполните полную компиляцию. В меню Processing кликните **Start Compilation**.
- 3. В меню Processing выберите Start и кликните Start EDA Netlist Writer.

Во время полной компиляции или на стадии EDA Netlist Writer, программа Quartus II создаёт .vo или .vho и .sdo файлы, которые будут использованы во временной симуляции на уровне вентилей в EDA симуляторах. Этот файл списков отображает специфику архитектуры примитивов. соединений Временные характеристики для списка соединений содержатся в .sdo файле. Финальный список соединений находится в выходной директории, заданной вами в диалоге Settings, по cproject directory>/simulation/<EDA Simulator>directory (<EDA</pre> умолчанию, это Simulator> может быть: modelsim, guestasim, vcs, vcs mx, rivierapro, ncsim или activehdl).

Генерация файлов списков соединений для временной симуляции в различных временных моделях

Начиная с семейства Stratix III, вы можете задать различные параметры температуры и напряжения для генерирования файлов списков соединений для временной симуляции. Если у вас разрешены Quartus II TimeQuest Timing Analyzer или Quartus II Classic Timing Analyzer (временной анализатор), то во время генерирования файлов списков соединений для временной симуляции (**.vo, .vho** и **.sdo**), различные временные модели для различных режимов работы используются по умолчанию. Многоугольный временной анализ запускается по умолчанию во время полной компиляции.

Для генерирования вручную файлов списков соединений для симуляции (.vo, .vho и .sdo) трёх различных режимов работы, выполните следующие пункты:

1. Сгенерируйте все возможные угловые модели для всех возможных режимов работы, введя следующую команду в командной строке:

quartus sta <project name> --multicorner +

 Сгенерируйте файлы списка соединений для временной симуляции для всех трёх углов, выполняя п.1 – 3 в "Генерация файлов списков соединений для временной симуляции на уровне вентилей" на странице 1-7. Выходные файлы генерируются в директорию выхода симуляции.

В следующих примерах показано, как генерируются файлы списка соединений для временной симуляции в предыдущих пунктах, при выбранном в качестве выходного формата списка соединений Verilog HDL.

Первый медленный угол (slow, 1100 mV, 85° C)

- .vo файл —<revision name>.vo
- .sdo файл —<revision name>_v.sdo

Файлы <revision_name>.vo и <revision name>_v.sdo генерируются для обратной совместимости, когда присутствует скрипт, использующий их.

- .vo файл —<revision name>_<speedgrade>_1100mv_85c_slow.vo
- .sdo файл <revision name>_<speedgrade>_1100mv_85c_v_slow.sdo
- Второй медленный угол (slow, 1100 mV, 0° C)
 - .vo файл —<revision name>_<speedgrade>_1100mv_0c_slow.vo

1.Симуляция проекта с помощью инструментов EDA Перевод: Егоров А.В., 2010 г.

■ .sdo файл —<*revision name*>_<*speedgrade*>_1100mv_0c_v_slow.sdo Быстрый угол (fast, 1100 mV, 0° C)

.vo файл — <revision name>_min_1100mv_0c_fast.vo

.sdo файл — <revision name>_min_1100mv_0c_v_fast.sdo

Для старых чипов, временная модель медленный угол (наихудший вариант) используется по умолчанию. Доступны только две временные модели: медленный угол и быстрый угол. Для генерирования файлов списка соединений для временной симуляции, использующей различные временные модели, вы должны запустить Quartus II TimeQuest Timing Analyzer или Quartus II Classic Timing Analyzer для различных моделей, прежде чем запускать EDA Netlist Writer.

Для запуска Quartus II TimeQuest Timing Analyzer с моделью наилучшего выбора, используйте опцию **-fast_model** после того, как создадите временной список соединений.

Следующая команда разрешает быструю временную модель:

create_timing_netlist --fast_model ←

Для запуска Quartus II Classic Timing Analyzer с моделью наилучшего выбора в меню Processing выберите Start и кликните Start Classic Timing Analyzer (Fast Timing Model). После завершения временного анализа появляется отчёт о компиляции. Вы можете выполнить быструю временную модель, введя следующую команду в командной строке:

quartus_tan <project_name> --fast_model=on +

После запуска Quartus II TimeQuest Timing Analyzer или Quartus II Classic Timing Analyzer выполните п. 1 – 3 из "Генерация файлов списков соединений для временной симуляции на уровне вентилей" на странице 1-7 для генерирования файла списка соединений для временной симуляции. Для временных моделей быстрый угол, добавляется окончание -fast к файлам .vo или .vho и .sdo (например, my_project_fast.vo или my_project_fast.sdo).

За дополнительной информацией о выполнении многоугольного временного анализа, обратитесь к главе "Временной анализатор Quartus II TimeQuest" или "Классический временной анализатор Quartus II" в томе 3 Настольной книги Quartus II.